

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-138651

(P2000-138651A)

(43) 公開日 平成12年5月16日 (2000.5.16)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 4 J 13/00

H 0 4 J 13/00

A 5 K 0 2 2

H 0 4 Q 7/38

H 0 4 B 7/26

1 0 9 Z 5 K 0 6 7

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号

特願平10-309851

(22) 出願日

平成10年10月30日 (1998.10.30)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 川辺 学

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 鈴木 芽衣

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男

最終頁に続く

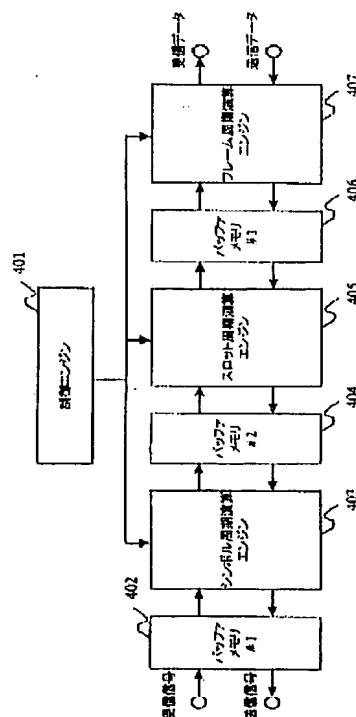
(54) 【発明の名称】 通信装置

(57) 【要約】

【課題】 無線通信システムにおけるベースバンド部のハードウェア構成を小型化する。

【解決手段】 ベースバンド部における変復調処理を複数の演算装置に分割し、演算装置間をバッファとなる記憶装置によって接続する。複数チャネルの処理を時分割で行うことによりハードウェア規模を小さくする。

図5



【特許請求の範囲】

【請求項 1】複数チャネルの受信信号が重畳された入力信号を記憶する記憶手段と、上記受信信号の変復調を行う演算手段とを備え、上記演算手段は、上記記憶手段に上記受信信号が書き込まれるよりも高速に動作することにより、上記演算手段は上記入力信号に含まれる複数チャネルの信号の変復調処理を時多重で行うことを特徴とする通信装置。

【請求項 2】請求項 1 記載において、上記記憶手段は上記受信信号の 1 フレームの数倍の入力信号を記憶する容量を有することを特徴とする通信装置。

【請求項 3】請求項 1 記載において、上記演算手段は布線論理によって実現することを特徴とする通信装置。

【請求項 4】請求項 1 記載において、上記演算手段はプロセッサにより実行されるソフトウェアによって実現することを特徴とする通信装置。

【請求項 5】複数のスロットを有するフレームにより通信を行う通信装置において、変復調の対象とする処理単位を異にする複数の演算処理部と、上記演算処理部に入出力される信号を格納する複数の記憶手段とを有する通信装置。

【請求項 6】請求項 5 記載において、上記複数の演算処理部はフレーム単位の変復調処理を行う第一の演算処理部とスロット単位の変復調処理を行う第二の演算処理部とシンボル単位の変復調処理を行う第三の演算処理部とを有することを特徴とする通信装置。

【請求項 7】請求項 6 記載において、上記各演算処理部間の記憶装置の容量を、後段の演算装置における複数チャネルの変復調処理で必要となる最小量とすることを特徴とする通信装置。

【請求項 8】請求項 5 に記載において、各演算装置を必要最小限の基礎的な処理要素によって構成し、それらの要素をシーケンサによって組み合わせて処理を行うことを特徴とする通信装置。

【請求項 9】請求項 6 記載において、上記通信装置は QPSK 拡散変調を行う CDMA 通信システムに適用されるものであり、上記第三の演算処理部は受信信号の同相成分と直交成分、拡散符号の同相成分と直交成分それぞれの組み合わせの相関演算を、E x - O R 演算器と加算器(または加減算器)のペアを 4 つ並列に置く構成とすることを特徴とする通信装置。

【請求項 10】請求項 6 記載において、上記通信装置はチャネルによってシンボル周期の異なる CDMA 通信システムに適用されるものであり、上記第三の演算処理部の処理単位を最もシンボル周期の大きなチャネルの 1 シンボル分の長さを基準とすることを特徴とする通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複数のチャネルで通

信されるデータを処理する通信装置(基地局、端末)のハードウェア及びソフトウェア構成に関する。特に符号分割多元接続(CDMA: Code Division Multiple Access)方式の移動体通信システムで使用される通信装置に適する。

【0002】

【従来の技術】CDMA 移動体通信システムで使用される従来の基地局の構成を図 12 に示す。

【0003】アンテナ 100 から受信された搬送波周波数帯域の受信信号は無線部 101 においてベースバンドの受信信号に変換され、ベースバンド部 134 に入力される。また、ベースバンド部 134 から出力される各チャネルのベースバンドの送信信号は出力合成部 107 において重畳され、無線部 101 において搬送波周波数帯域の送信信号に変換され、アンテナ 100 より送信される。

【0004】ベースバンド部 134 には、1 チャネルの送受信処理を行う変復調処理部 102-1 ~ s が基地局で使用するチャネル数(s)分用意されている。マッチドフィルタ(MF) 135 及びピーク検出部 136 は複数のチャネルについて 1 つ設けられており、各チャネルについて間欠的にパスサーチを行う。ピーク検出部 136 は MF から出力される相関値のピーク(マルチパスの受信タイミングを示す)のうち大きいものを選択する。選択されたパスタイミングは、それぞれ対応するチャネルの変復調処理部 102-1 ~ s の相関演算部 108-1 ~ n (n はフィンガ数)に設定され、フィンガごとの逆拡散処理がなされる。

【0005】このように、基地局においてはパスサーチを時分割で周期的に各チャネルについて実行することによって MF を複数チャネルに一つ設けることにより、回路規模を小さくしている。しかしながら、本構成ではチャネルごとに変復調処理部 102 を有している。

【0006】また、移動通信システムにおける通信モードとして、送信データを複数の低速伝送チャネルを用いて多重伝送することにより、全体として高速伝送を実現するマルチコード伝送モードがある。移動局がこのマルチコード伝送モードをサポートする場合には、図 12 に示した基地局と同じく、そのベースバンド部は、複数のチャネルに対応する変復調処理部をもつことになる。

【0007】

【発明が解決しようとする課題】このように従来の通信装置におけるベースバンド部 134 は、チャネル数に応じた変復調処理部 102-1 ~ s を有し、各変復調処理部は並列に処理を行っていた。したがって、基地局の場合には収容するチャネル数、移動局の場合にはマルチコード伝送時の伝送速度に比例してハードウェア規模が増大するという問題があった。

【0008】一方で、近年の LSI の演算処理速度は 256 MHz にも達しているにもかかわらず、無線チャネ

3

ルを介して送受信されるデータレートは通信方式によっても異なるが4MHz程度に過ぎない。したがって、ベースバンド部134の演算速度が向上しても、結局はデータレートに制約を受け、ベースバンド部は演算処理能力を十分に発揮してはいない。

【0009】さらに、変復調処理部102-1～sを構成するブロックには、シンボル単位で演算を実行するブロック（相関演算部108等）、スロット単位で演算を実行するブロック（検波部111等）、フレーム単位で演算を実行するブロック（デインターリーブ115、誤り訂正復号器116等）が存在している。しかしながら、変復調処理部102においては、これらブロックがシリアルに接続され、処理単位の異なる演算処理が逐次、時系列で実行されている。そのため、処理単位の大きいブロックは処理単位の小さいブロックの演算処理の完了を待たねばならず、処理単位の大きいブロックにおいては演算処理の行われない無駄時間が生じていた。

【0010】

【課題を解決するための手段】上記問題を解決するために、複数チャネルの入力信号を記憶するための記憶手段と、変復調に必要な演算手段とを備える信号処理装置によって、記憶手段にデータが入力される速度よりも高い速度で記憶手段からデータを読み出し、高速に変復調処理を行うことによって、複数チャネルの処理を時多重で行う。複数チャネルの処理が時多重されることにより、ハードウェア規模は大幅に削減可能である。

【0011】

【発明の実施の形態】図11にW-CDMAシステムにおいて移動局から基地局に送信される上り回線の通信フォーマットを示す。1フレーム1105(=10msec)はインターリーブ、誤り訂正符号化等のチャネルコーディック処理の基本単位である。1フレームは16個のスロットに分割される。1スロット1106(=0.625msec)は伝播路推定、送信電力制御等のエアインタフェース制御の基本単位である。1スロットは同相

(I)成分と直交(Q)成分に分割され、I成分にはデータシンボル1101が、Q成分にはパイロットシンボル1102等の制御シンボルが伝送される。1シンボル1107はチャネルコーディック処理後の送信データの基本単位である。CDMAシステムではこのシンボルにPN系列と呼ばれる拡散符号(擬似ランダム符号)を掛け合わせ、スペクトル拡散を行う。1チップ1108は擬似ランダム符号の基本単位であり、全処理系における最小の単位である。

【0012】(実施例1)図1に本発明の第1の実施形態を示す。3本のアンテナ200-1～3を有する場合を例示する。空間ダイバーシチを行う基地局または移動局や、マルチセクタ基地局等では複数のアンテナを有する。空間ダイバーシチは、同じ移動局(または基地局)から来る信号を複数のアンテナで同時に受信することに

4

より、フェージングによる受信信号の劣化を捕うものである。一方マルチセクタ化は、基地局のサービスエリア(セル)を各々送受信アンテナを有する複数のセクタに区切り、セクタ間で異なる拡散符号を用いることにより、基地局に収容できるチャネル数を増やし、周波数利用効率を上げようとするものである。いずれの場合にもベースバンド部202に対して複数の受信信号が入力されるため、変復調を行おうとするチャネル(移動局)がどのセクタのサービスエリアに属するのか、どのダイバーシチアンテナの変復調を行うかによって処理の都度セクタ235によって入力を切り替える必要がある。図1ではマルチセクタ化した場合の基地局の構成を開示する。

【0013】各アンテナ200-1～3で受信された搬送波周波数帯域の受信信号は、無線部201によりベースバンドの受信信号に変換される。ベースバンドの受信信号はアンテナごとに設けられたバッファメモリ203-1～3に格納される。これらのバッファメモリは複数のメモリとして構成してもよく、1つのメモリの複数の領域として構成してもよい。

【0014】各バッファメモリ203-1～3には、変復調処理の最大単位(例えばW-CDMAシステムにおいては1フレーム)の数倍のデータを格納可能としておく。バッファメモリの容量は、無線チャネルのデータレートとベースバンド部202の演算速度との格差、変復調処理部230が多重処理するチャネル数によって適宜定める。また、一つのベースバンド部が多重処理可能なチャネル数は、(ベースバンド部の演算速度/無線チャネルのデータレート)以下である。

【0015】バッファメモリ203-1～3に格納されたベースバンドの受信信号には、該当セクタのサービスエリア内にいる全移動局の全チャネルのデータが多重されている。これを変復調処理部230に繰り返して読み込み、復調処理することで、ハードウェア規模を縮減し、かつLSIの演算処理速度を生かした復調処理を行うことが可能である。また、変復調処理部230は繰り返し送信データの変調を行い、生成されたベースバンドの送信信号はセクタ毎にバッファメモリ203-1～3に格納される。LSI内でセクタ毎に多重される全チャネルのベースバンドの送信信号がバッファメモリ203-1～3に格納されると、これらのベースバンドの送信信号は出力合成器207で基地局の全LSIの送信信号について合成される。多重されたベースバンドの送信信号は無線部201で搬送波周波数帯域の送信信号に変換され、アンテナ200より送信される。このようにして、ハードウェア規模を縮減し、かつLSIの演算処理速度を生かした変調処理を行うことが可能である。

【0016】以下、図1のベースバンド部202の動作について説明する。

【0017】制御部(図示せず)はベースバンド部20

5

2 全体の制御を行う。制御内容としては、変復調処理対象とするチャネル、送受信セクタ及びアンテナの指定等を含む。

【0018】(1) 復調処理

通常受信信号はオーバーサンプリングされるため、チップ速度の数倍で信号が入力され、バッファメモリ 203-1~3 に格納される。受信信号は、バッファメモリの所定容量まで書き込まれると、最初のアドレスに戻り上書きされる。W-CDMA 方式 (チップ速度 4MHz) において、4 倍サンプリングした場合には、バッファメモリ 203-1~3 に入力されるデータレートは 16MHz である。バッファメモリ 203-1~3 に格納された受信信号の復調処理は、ベースバンド部 202 の演算処理速度 (例えば 256MHz) で処理が実行される。

【0019】セクタ 235 は、復調しようとするチャネルが属するセクタの受信アンテナ 200 に対応したバッファメモリ 203 を指定し、MF 236 及び変復調処理部 230 に受信信号を入力する。

【0020】MF 236 及びピーク検出部 237 によりパスサーチがなされ、逆拡散する受信タイミングが相関演算部 208-1~n へ与えられる。相関演算部 208-1~n は、与えられた受信タイミングで受信信号 (スペクトル拡散信号) とチャネルの拡散符号とをチップ単位で乗算し、その結果をシンボル単位で累算する (相関演算)。検波部 211-1~n は、受信信号に含まれるパイロット信号により、伝搬路で生じた位相回転を検出し、逆拡散されたマルチパス受信信号 (相関演算部 208 出力) の位相を揃えて Rake 合成部 214 に入力する。この検波部 211 での位相回転検出処理はスロット単位で行われる。Rake 合成部 214 は位相の揃ったマルチパス受信信号を合成する。空間ダイバーシチを行う基地局の場合には、マルチパス受信信号の Rake 合成だけでなく、複数のアンテナの受信信号を合成するダイバーシチ合成も Rake 合成部 214 にて行う。

【0021】Rake 合成された受信信号は、デインタリーブ 215、誤り訂正復号器 216、誤り検出復号器 217 に順次受け渡され、復調処理される。これらは符号化処理、インタリーブされて送信された信号を復号するものである。符号化処理、インタリーブは 1 フレーム単位のデータに対して成されており、復号処理も 1 フレームを単位として行われる。誤り検出処理のなされた信号が受信データとして出力される。

【0022】(2) 変調処理

まず、1 フレーム分の送信データが誤り検出符号化器 218 に入力される。誤り検出符号化器 218 は、この 1 フレーム分の送信データに対して CRC 符号 (Cyclic Redundancy Check) を生成する。誤り検出符号の付加された送信データは、誤り訂正符号化器 219 に入力される。誤り訂正符号化器 219 は、入力されたデータに対して、畳み込み符号、Turbo 符号等の誤り訂正符号を生

6

成する。誤り訂正符号の付加された送信データはインタリーブ 220 に入力される。インタリーブは伝搬路中で生じるバースト誤りの影響を送信データの順序を入れ換えて送信することにより軽減するためのものである。

【0023】送信フォーマット作成部 221 は、インタリーブされた送信信号に対して、所定のフォーマットに従って、パイロットシンボルや送信電力信号をスロット単位で付与する (図 11 参照)。拡散演算部 222 は、送信信号と拡散符号とを乗算して拡散変調処理を行う。送信電力制御部 223 において、受信した送信電力制御情報に基づき送信電力制御を行う。具体的には、アンテナ 200 で送信できる総電力は一定であるため、各チャネルの送信信号の電力の総電力に占める割合を割り振る。最後に、各チャネルの送信信号は、バッファメモリ 203-1~3 に格納される。

【0024】(実施例 2) 図 2 に本発明の第 2 の実施の形態を示す。図 2 にはベースバンド部のみを示している。第 1 の実施形態において相関演算以降の処理を布線論理によって実現したのに対して、この第 2 の実施の形態においては CPU 302 によりソフトウェアにより実行する点に特徴を有する。なお、1 アンテナの場合に単純化しているが、複数アンテナについて処理する場合には、バッファメモリ 301 を複数有し、それらを切り換えて CPU 302 との間で送/受信信号の入出力を行う。ベースバンドの信号に対して行われる処理は主に乗算、加算処理からなる。そのためこれらの処理をソフトウェア化して CPU 302 というハードウェアで共通に処理することにより、ハードウェア規模を低減させることが可能である。

【0025】図 3 に復調処理のフローチャートを示す。まず、通信開始時にチャネル毎にパスサーチを行い、ピーク検出して各フィンガの受信タイミングを決定する。次にチャネルの初期値設定を行う (ステップ 1201)。初期値設定には、拡散符号、拡散比の設定、パスサーチによる受信タイミングの設定等が含まれる。シンボル単位処理 1202 は図 1 の相関演算部 208 での処理に相当する。スロット単位処理 1203~1206 は図 1 の検波部 211、Rake 合成部 214 での処理に相当する。フレーム単位処理 1208~1210 は図 1 のフレーム単位処理ブロック 215~217 での処理に相当する。これらの処理を通して行った後、チャネルを切り替えて上記処理を繰り返して、複数チャネルの処理を行う。

【0026】図 4 に変調処理のフローチャートを示す。送信系ではフレーム単位処理 1301~1304 を 1 フレーム分全チャネルにつき繰返して処理する。フレーム単位処理は図 1 の図 1 のフレーム単位処理ブロック 218~220 での処理に相当する。その後、スロット単位処理 1305 を全チャネル分行う。スロット単位処理 1

7

305は図1の送信フォーマット作成器221での処理に相当する。その後、シンボル単位処理1306、1307で拡散演算、送信出力合成を行う。この処理は図1の拡散演算部222及び送信電力制御部233での処理に相当する。1シンボル分について全チャネルの出力結果を合成し、送信する(ステップ1308)。1フレーム分の全チャネルのデータを最後まで処理しおわったら、再びフローの最初に戻る。

【0027】(実施例3)図5に本発明の第3の実施形態を示す。図5もベースバンド部のみを示し、また単純化のため1アンテナの場合を示している。第3の実施形態は、変復調処理においてシンボル単位の処理、スロット単位の処理、フレーム単位の処理が順次現れていることに着目する。図1を参照しながら説明する。

【0028】相関演算部208はチップ単位で受信信号が入力され、シンボル単位で逆拡散された受信データが出力される。これに対して、検波部211、Rake合成部214は1スロット分の受信データ(相関演算部208の出力)に対して処理を行う。さらに、デインタリーブ215、誤り訂正復号器216、誤り検出復号器217は、1フレーム分の受信データ(Rake合成部214の出力)に対して処理を行う。

【0029】同様に、誤り検出符号器218、誤り訂正符号器219、インタリーブ220は1フレーム単位の処理であり、送信フォーマット作成器221は1スロット単位の処理であり、拡散演算部222、送信電力制御部233は、1シンボル単位での処理である。

【0030】本実施例では、変復調処理に必要なブロックを処理単位別に分割し、互いの処理ブロックは独立に動作できるように構成する。図1のように処理単位の異なる処理を逐次的に行うと、シンボル単位の処理速度が全体の処理速度を決定してしまい、その一方でスロットやフレームなど大きな処理単位のハードウェアの使用効率は低い。そのため、本実施例では同一の処理単位の処理を一つのブロックにまとめる。そして、ブロックごとの動作速度あるいはブロックの並列数を適宜設定することにより全体としてのハードウェア使用効率を高める。例えば、シンボル周期演算エンジン403を複数並列して設ける。あるいはスロット周期演算エンジン405をフレーム周期演算エンジン407よりも速く動作させる。

【0031】ベースバンドの受信信号は、シンボル周期演算エンジン403の処理単位である1シンボルの数倍分、第1のバッファメモリ402に格納される。処理の切替タイミングを一定にするため、1シンボルの長さがチャネルによって異なる場合であっても一定量の受信信号がベースバンド部202に入力されるようにする。例えば、最もシンボル周期の大きなチャネルの1シンボル分の長さを処理の単位とした場合には、最低1シンボル(シンボル周期最大)、最高16シンボル(シンボル周

8

期最小、いずれもW-CDMAの場合)ごとにチャネルを切り換えて処理を行う。

【0032】シンボル周期演算エンジン403は、シンボル単位での変復調処理を行うブロックである。シンボル周期演算エンジン403はスロット周期演算エンジン405との入出力を第2のバッファメモリ404を介して行う。第2のバッファメモリ404は、処理前の受信信号が上書きされないようにスロット周期演算エンジン405の処理単位である1スロットの数倍分のデータを格納する。第2のバッファメモリ404は、チャネルごとに用意される。

【0033】スロット周期演算エンジン405は、スロット単位での変復調処理を行うブロックである。スロット周期演算エンジン405はフレーム周期演算エンジン407との入出力を第3のバッファメモリ406を介して行う。第3のバッファメモリ406もチャネルごとに用意され、それぞれ1フレームの数倍分のデータを格納する。

【0034】フレーム周期演算エンジン407は、フレーム単位での変復調処理を行うブロックである。なお、インタリーブ等で1フレーム以上の単位で処理する必要がある場合でも、同様にフレーム周期演算エンジンを用いて処理を行う。

【0035】各エンジンは制御エンジン401により制御される。制御エンジン401の制御により、各エンジン403、405、407は非同期に変復調処理を行い、処理対象とするチャネルもエンジンごとに独立である。これにより、ハードウェア全体の処理効率の高い複数チャネルの変復調処理が時多重でなされる。

【0036】(1)シンボル周期演算エンジン403
図6にシンボル周期演算エンジン403の受信(復調)部の構成を示す。シンボル周期演算エンジンは、E-OR演算器503、加算器504等の演算素子を処理要素とし、1シンボルを最小処理単位として復調処理を行う。入力インタフェース501を通じ第1のバッファメモリ402からチップごとのデータを読み込む。E-OR演算器503は、PN(拡散符号)発生器502によって生成された拡散符号との排他的論理和を実行し、加算器504とレジスタ505は、演算結果を1シンボルに渡って累算する。累算結果は出力インタフェース506を通じて第2のバッファメモリ404に書き込まれる。

【0037】シンボル周期演算エンジンの受信部への動作命令は、シーケンサ508がプログラムメモリ509から制御命令を読み出し、デコーダ510がその命令をデコードすることによって与えられる。必要な動作命令としては、1つのチャネルの受信信号に対する復調処理の起動・停止命令、入力/出力インタフェース501、506に対する読出・書込アドレスの指定、PN発生器502における内部状態レジスタ507の内部状態値の

10

20

30

40

50

設定、累算用レジスタ505のリセットタイミングの指定が含まれる。

【0038】図6に示したシンボル周期演算エンジンは、入力されるデータに対して、PN発生器502から発生される拡散符号の位相を固定とすることにより相関演算器として動作する。一方、PN発生器502から発生される拡散符号の位相をスライドさせることによりスライディング相関器（マッチドフィルタ）として動作する。このような動作の切換もシーケンサ508からの動作命令により行われる。なお、スライディング相関器として動作する場合、ピークタイミングの検出は、次段のスロット周期エンジンにて実行される。

【0039】プログラムメモリ509には複数チャンネルに対するプログラム（例えば、チャンネルの拡散比、PN発生器の内部状態レジスタの内容指定）が格納される。したがって、図6の受信部は復調処理できるチャンネルを固定されない。また、プログラムにより入力インタフェース501に対する読出アドレスが指定できるため、復調処理するフィンガも固定されない。そのため、シンボル周期エンジンの受信部は他の演算エンジンよりも高速に動作させ、さらに復調処理するチャンネル・フィンガを適宜指定して時多重処理することにより、全体のハードウェア効率を高めることができる。

【0040】さらに、シンボル周期演算エンジンの受信部はチップレートもしくはサンプリングレートの信号を処理するため、最も演算負荷の高い部分である。そのため、受信部を複数設け、並列で処理させることが全体のハードウェア効率を高める上で望ましい。

【0041】また、受信部の一部のハードウェアを並列化して処理を高速化する構成を図7に示す。例えば、QPSK拡散変調を行うCDMA通信システムの場合には、位相補正を行うため、信号の同相（I）成分(DATA_I)及び直交（Q）成分(DATA_Q)と、拡散符号のI成分(PN_I)及びQ成分(PN_Q)とのそれぞれの組み合わせで相関演算を行う必要がある。そこでEx-OR演算器903と加算器904及びレジスタ905のペア906-1～4を並列に用意し、同時に相関演算を行うことにより、後段のスロット周期演算エンジンでの処理の効率を上げることが可能である。

【0042】図8にシンボル周期演算エンジン403の送信（変調）部の構成を示す。シンボル周期演算エンジンは、Ex-OR演算器603、加算器604等の演算素子処理要素とし、1シンボルを最小処理単位として変調処理を行う。入力インタフェース601を通じ第2のパッファメモリ404からシンボルごとのデータを読み込む。Ex-OR演算器603は、PN発生器602によって生成された拡散符号との排他的論理和を実行し、加減算器604によって送信電力値を与える。演算結果はメモリインタフェース605を通じてメモリ606に書き込まれる。

【0043】全送信チャンネルの送信信号を合成するため、同じタイミングで送出する送信信号を累算する。そのため、メモリインタフェース605を通じて、同じタイミングで送出する送信信号をメモリ606より読み出し、拡散されたデータ（演算器603出力）と加減算器604により加算する。加算された結果は、再びメモリインタフェース605を通じてメモリ606に書き込まれる。

【0044】シンボル周期演算エンジンの送信部への動作命令は、シーケンサ608がプログラムメモリ609から制御命令を読み出し、デコーダ610がその命令をデコードすることによって与えられる。受信部同様、送信部も複数チャンネルに対応するプログラムにより、処理するチャンネルを固定されない。

【0045】シンボル周期演算エンジンの送信部もチップレートの信号を処理するため、演算負荷の高い部分である。そのため、送信部を複数設け、並列で処理させることが全体のハードウェア効率を高める上で望ましい。

【0046】（2）スロット周期演算エンジン405
図9にスロット周期演算エンジン405の構成を示す。スロット周期演算エンジンはシンボルレートのデータを処理するブロックである。スロット周期演算部の処理には、変調処理として送信フォーマットの作成、復調処理として、ピークタイミングの検出、検波、Rake合成が含まれる。

【0047】スロット周期演算エンジンでの処理は、図11に示されるように、受信データシンボル1101、パイロットシンボル1102、レート判定シンボル1103、電力制御シンボル1104といった複数種類のシンボルがあり、シンボルの種類毎に異なる処理をする必要がある。

【0048】しかしながら、これらの演算は全て掛算と加減算の組み合わせによって構成される演算である。そこで、基本演算器（掛算器704、加減算器705、桁合わせのためのシフト演算器706）及び計算結果を蓄えるメモリ702、レジスタ703をバス708および709で接続し、これに入力／出力インタフェース701、707を加えた構成とする。各処理に対応する演算の組み合わせは、プログラムメモリ711に予め記述されており、シーケンサ710が各処理に対応したプログラムのアドレスをプログラムメモリ711に与え、読出されたプログラムをデコーダ512がデコードする。デコードされた制御信号により、入力／出力インタフェース701、707、バス708、709が制御される。以下に代表的なスロット演算処理の具体例を示す。

【0049】（A）パイロットシンボルに対する処理（位相回転検出）

加減算器705により、複数のパイロットシンボルを同相で加算し、伝搬路上の振幅・位相情報を計算する。

【0050】まず、デコーダ712は、入力インタフェ

ース701にパイロットシンボルが入ったアドレスを指示し、バス708に入力インタフェース701から加減算器705にデータを送るように指示する。これにより、入力インタフェース701からパイロットシンボルが加減算器705に送られる。加減算器705は加算演算を行い、これによりパイロットシンボルの加算が行われる。

【0051】次に、デコーダ712は、バス709に加減算器705からレジスタ703にデータを送るように指示する。これにより、加算結果はレジスタ703に送られる。

【0052】続いて、プログラムメモリ711からはレジスタ703に蓄えられた値と入力インタフェース701からのパイロットシンボルとの加算を行うプログラムがデコーダ712に送られる。デコーダ712は入力インタフェース701及びバス708を制御して、パイロットシンボルとレジスタ703に蓄えられた値とを加減算器705に送る。この処理が繰り返され、必要数のパイロットシンボルの加算が終了すると、加算結果はメモリ702に蓄えられる。

【0053】(B) データシンボルに対する処理 (検波・Rake合成)

パイロットシンボルに基づく伝搬路の位相情報に基づき、掛算器により伝搬路上で回転した位相を補正する。具体的には、データシンボルに対してパイロットシンボルの平均値を掛け算する (検波)。データシンボルとパイロットシンボルはどちらも同相成分と直交成分を持つため複素数の掛算となり、掛算器704と加減算器705を用いて4回の掛算と2回の加減算を実行する。

【0054】まず、データシンボルの同相成分 (I) が入力インタフェース701から掛算器704に送られ、パイロットシンボルの同相成分 (X) がメモリ702から掛算器704に送られ、掛算結果 ($I \times X$) はレジスタ703に保持される。掛算結果は元のデータに対してビット数が増加するため、シフト演算により必要なビットのみを取り出す。そこで、レジスタ703に蓄えられた掛算結果はシフト演算器706に送られ、処理結果が再びレジスタ703に蓄えられる。

【0055】同様にして、データシンボルの直交成分 (Q) とパイロットシンボルの直交成分 (Y) との演算を行い、掛算結果 ($Q \times Y$) がレジスタ703に保持される。レジスタ703から ($I \times X$) 及び ($Q \times Y$) が加減算器705に送られ、加減算器705は同相成分の掛算結果 ($I \times X$) と直交成分の掛算結果 ($Q \times Y$) との減算が行われる。 ($I \times X - Q \times Y$) がデータシンボルの検波後の同相成分であり、メモリ702に蓄えられる。

【0056】同様にして、検波後の直交成分は ($I \times Y + Q \times X$) として求められる。

【0057】Rake合成に必要な演算は加算のみであ

り、加減算器705により行われる。メモリ702に蓄えられた検波結果を順に加減算器705に送ることによって実行される。Rake合成結果は1スロット単位で出力インタフェース707から送り出される。

【0058】(C) 電力制御シンボルに対する処理

電力制御シンボルに対しても、データシンボルと同様に検波及びRake合成が行われる。但し、電力制御シンボルは許容される処理遅延がデータシンボルの場合よりも小さいため、検波やRake合成に用いるパイロットシンボルの平均時間を短くする必要がある。

【0059】したがって、演算方法は同等であるが、直前のパイロットシンボルから計算した位相情報のみを用いて検波が行われる。

【0060】以上、スロット周期演算エンジンで実行される代表的な演算処理について説明した。その他にも受信電力の測定や雑音電力の測定等の処理がある。これらの処理は、いずれもシーケンサ710が出力するプログラムメモリ711に対するアドレスを変更することによって、対応するプログラムがプログラムメモリ711から読み出され、デコーダ712はそれをデコードして必要な演算器にデータが送られるように制御を行うことによって実行される。

【0061】このように、スロット周期演算エンジン405は、複数の種類の演算を基本演算器を用いてプログラムで制御する。これにより、同一のハードウェアで複数種類の処理を実行することができ、ハードウェアの規模を削減することができる。また、スロット周期演算エンジンに対する入出力データをバッファメモリ404、406に蓄積し、複数チャネル、複数フィンガ、あるいは同じチャネルの異なるシンボルレートの処理を時多重で行うことにより、ハードウェアの使用効率を高めることができる。

【0062】(3) フレーム周期演算エンジン407
図10にフレーム周期演算エンジン407の構成を示す。フレーム周期演算エンジンはフレーム単位以上のデータを処理するブロックである。フレーム周期の処理は、誤り検出符号化および復号化、誤り訂正符号化および復号化、インターリーブ等である。エンジンの構成要素として、誤り検出 (訂正) 符号化演算器804 (806)、誤り検出 (訂正) 復号演算器805 (807)、インターリーブのためのアドレス計算演算器808、処理結果を蓄えるメモリ802、レジスタ803をバス810および811で接続し、これに入力/出力インタフェース801、809を加えた構成とする。

【0063】フレームに含まれるデータには、ユーザデータの他に、基地局と移動局間の制御データが含まれる。制御データとユーザデータとは一般的に通信速度 (1フレームに含まれるデータ数) や、誤り訂正・検出符号の能力が異なる。また、ユーザデータ速度も通信アプリケーションによって通信速度や誤り訂正・検出能力

10

20

30

40

50

が異なる。このようにフレーム周期の処理では、複数の通信速度や符号化・復号化に対応して処理を行う必要がある。

【0064】このような各処理に対応する演算の組み合わせは、プログラムメモリ 813 に予め記述されており、シーケンサ 812 が各処理に対応したプログラムのアドレスをプログラムメモリ 813 に与え、読出されたプログラムをデコーダ 814 がデコードする。デコードされた制御信号により、入力／出力インタフェース 801、809、バス 810、811 が制御される。

【0065】受信処理：入力インタフェース 801 から入力された送信データは、誤り検出符号化器 804 に順次送られる。符号化されたデータは、次に誤り訂正符号化器 806 で符号化される。誤り訂正符号化後のデータはアドレス計算演算器 808 で計算されたアドレスに対応したメモリ 802 に蓄えられることによりインターリーブがなされる。

【0066】送信処理：デインタリーブのためのアドレスが、アドレス計算演算器 808 で計算され、そのアドレスに対応したメモリ 802 に受信データが蓄えられる。デインタリーブされたデータは誤り訂正復号器 807 によって誤り訂正が行われ、誤り検出復号器 805 によって誤り検出が行われる。

【0067】フレーム周期演算エンジンにおける複数種類の処理に対して、図 8 に示すような基本演算器をバスで接続することによって、自由な組み合わせで演算できるため、速度や符号化の方法が異なるチャネルに対して、同一のハードウェアを用いることができる。また、入出力データをメモリ 802 に保持することによって、複数のチャネルを時多重で処理することができ、必要なハードウェアを減少させることができる。

【0068】

【発明の効果】ベースバンド部における変復調処理が処理単位毎に分割され、分割された各演算装置において複数チャネルの処理を時多重で行うことでハードウェア規模を小さくすることが可能である。

【0069】また、各演算装置内で、装置をさらに最小の処理単位となる処理要素に分割し、これらの処理要素を時多重に使用することでハードウェア規模をさらに小さくし、ハードウェアの使用効率をさらに上げることが可能である。

【0070】本発明により無線通信システムの基地局及び移動局のベースバンド部のハードウェアを縮小することが可能になる。

【図面の簡単な説明】

【図 1】第一の実施形態のベースバンド部の構成を示す図である。

【図 2】第二の実施形態のベースバンド部の構成を示す図である。

【図 3】第二の実施形態における復調処理のフローチャ

ートを示す図である。

【図 4】第二の実施形態における変調処理のフローチャートを示す図である。

【図 5】第三の実施形態のベースバンド部の構成を示す図である。

【図 6】第三の実施形態のシンボル周期演算エンジンの受信系の構成を示す図である。

【図 7】第三の実施形態のシンボル周期演算エンジンの受信系の第二の構成例を示す図である。

10 【図 8】第三の実施形態のシンボル周期演算エンジンの送信系の構成を示す図である。

【図 9】第三の実施形態のスロット周期演算エンジンの構成を示す図である。

【図 10】第三の実施形態のフレーム周期演算エンジンの構成を示す図である。

【図 11】W-CDMA システムにおけるフレーム及びスロットフォーマットの関係を示す図である。

【図 12】従来の基地局の構成を示す図である。

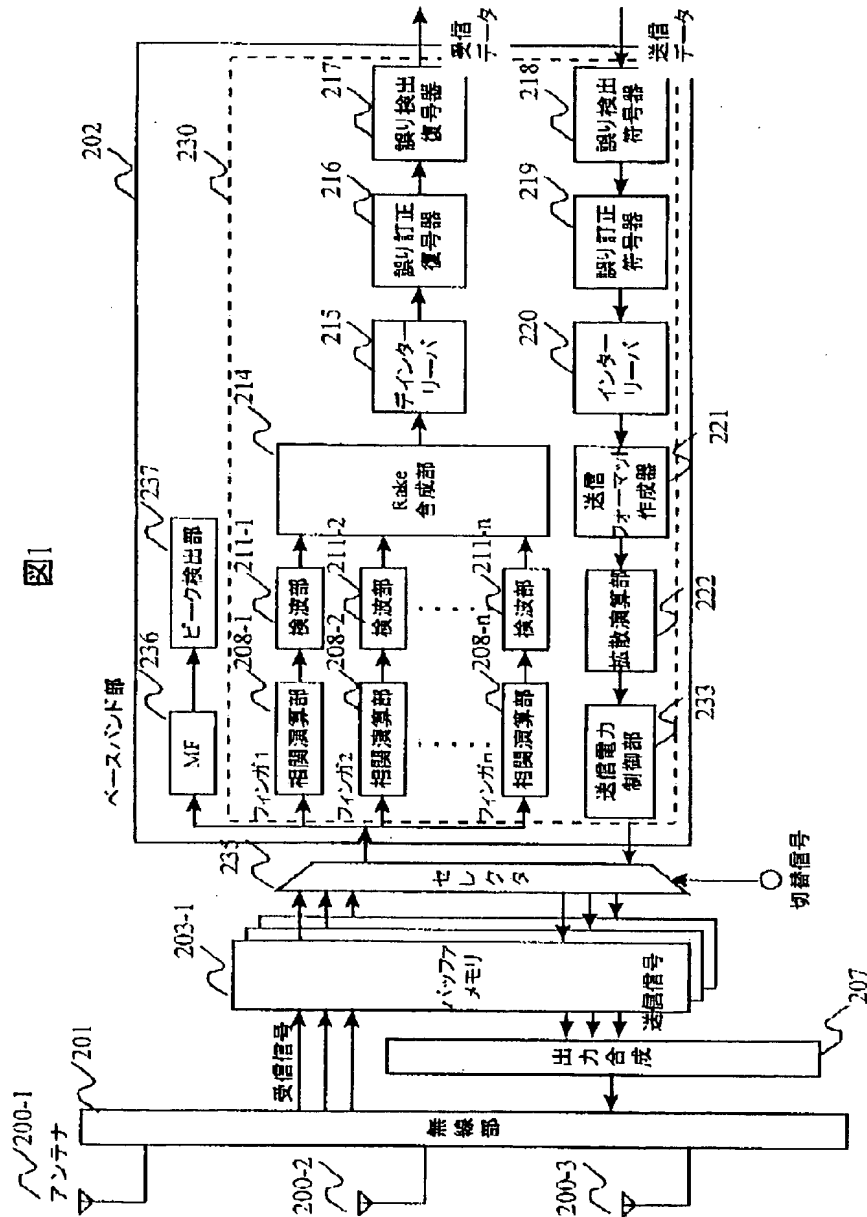
【符号の説明】

20 100…アンテナ、101…無線部、102-1～s…変復調処理部、107…送信出力合成部、108-1～n、208-1～n…相関演算部、111、112、113、211-1～n…検波部、114、214…Rake 合成部、115、215…デインタリーブ、116、216…誤り訂正復号器、117、217…誤り検出復号器、118、218…誤り検出符号器、119、219…誤り訂正符号器、120、220…インタリーブ、121、221…送信フォーマット作成器、122、222…拡散演算部、133、233…送信電力制御部、230…変復調処理部、235…セクタ入力セレクタ、236…マッチドフィルタ、237…ピーク検出部、134、202…ベースバンド部、201、301、402、404、406…バッファメモリ、302…CPU、401…制御エンジン、403…シンボル周期演算エンジン、405…スロット周期演算エンジン、407…フレーム周期演算エンジン、501、601、701、801…入力インタフェース、502、602…PN 発生器、503、603、903-1～4…E x - O R 演算器、504、904-1～4…加算器、505、703、803、905-1～4…レジスタ、506、707、809…出力インタフェース、507、607…内部状態レジスタ、508、608、710、812…シーケンサ、509、609、711、813…プログラムメモリ、510、610、712、814…デコーダ、604、705…加減算器、605…メモリインタフェース、606、702、802…メモリ、704…掛算器、706…シフト演算器、708、709…バス、804…誤り検出符号化器、805…誤り検出復号器、806…誤り訂正符号化器、807…

…誤り訂正復号器、808…アドレス計算演算器、901、902、903、904…E x - O R 演算器と加算器のペア、1101…データシンボル、1102…パイロットシンボル、1103…レート判定シンボ

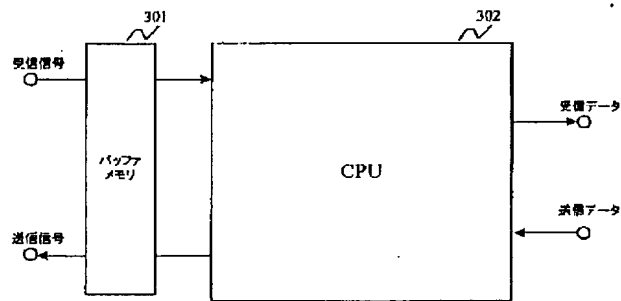
ル、1104…電力制御シンボル、1105…1フレーム区間、1106…1スロット区間、1107…1シンボル区間、1108…1チップ区間。

【図1】



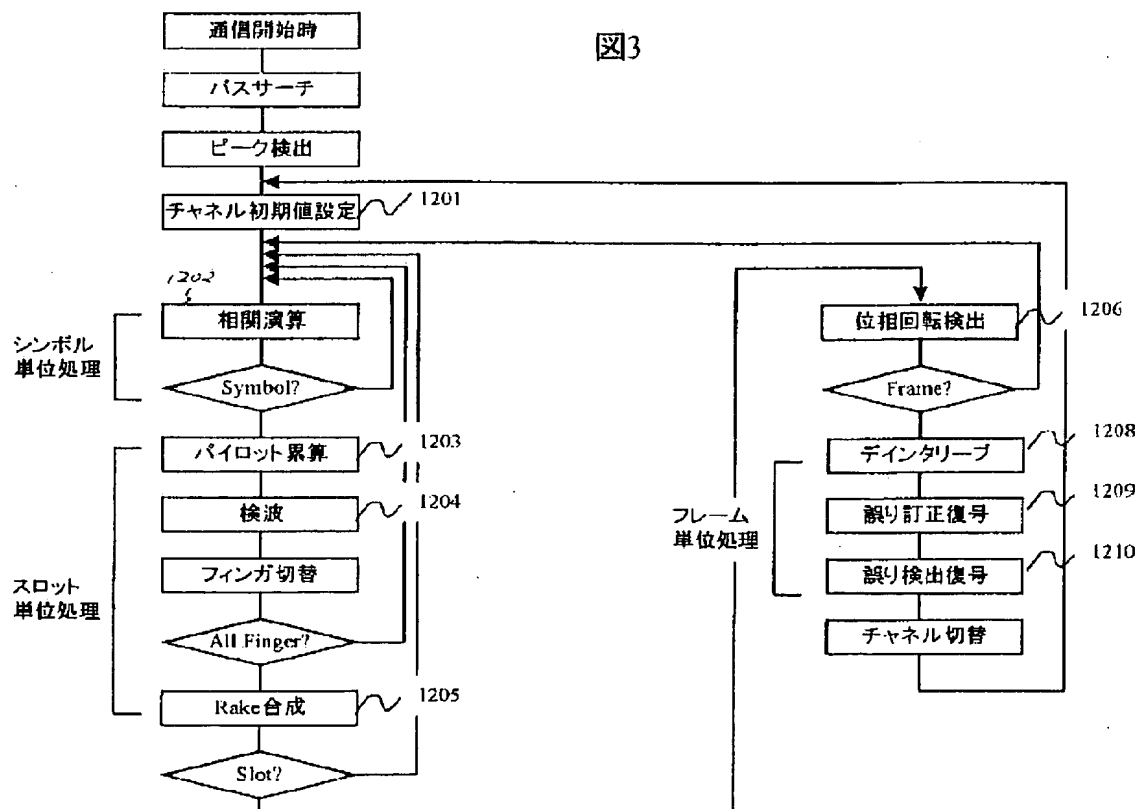
【図 2】

図2



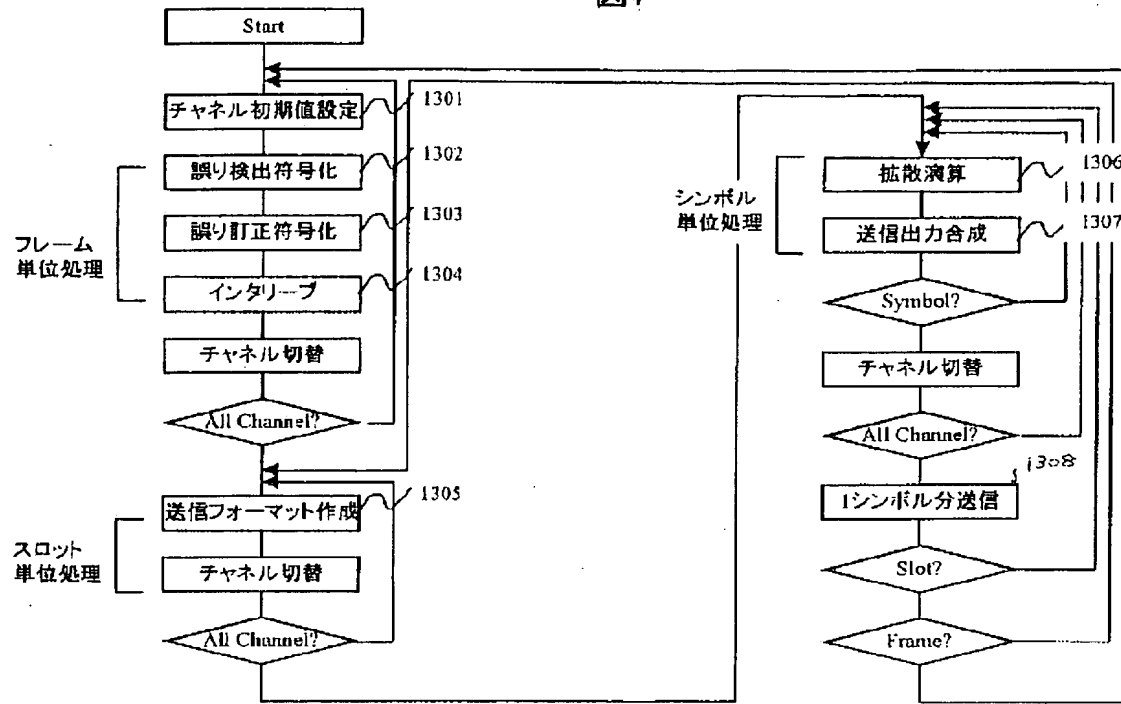
【図 3】

図3



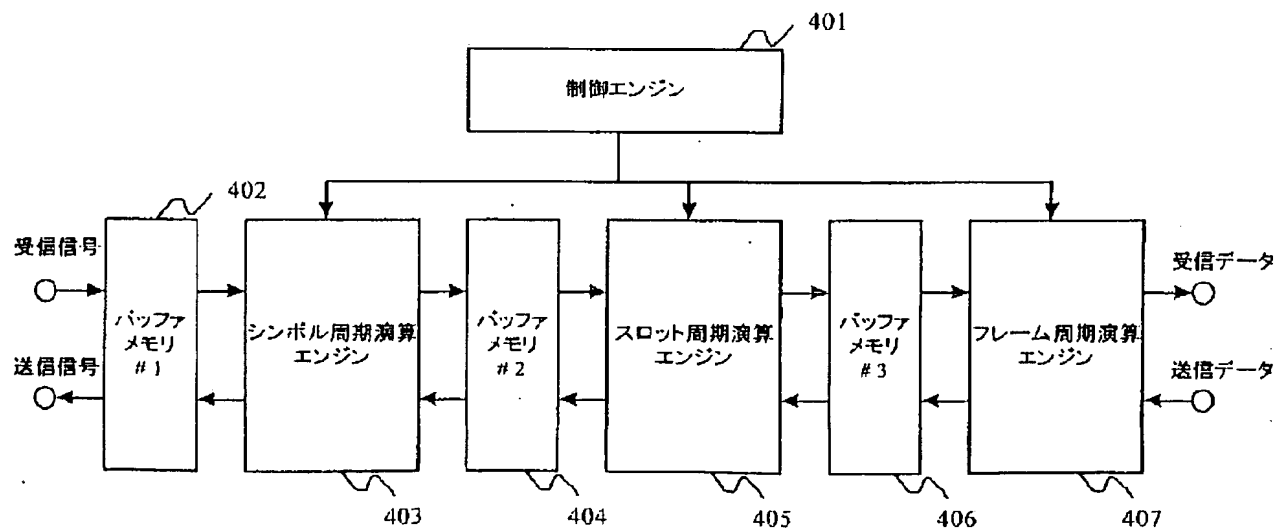
【図4】

図4



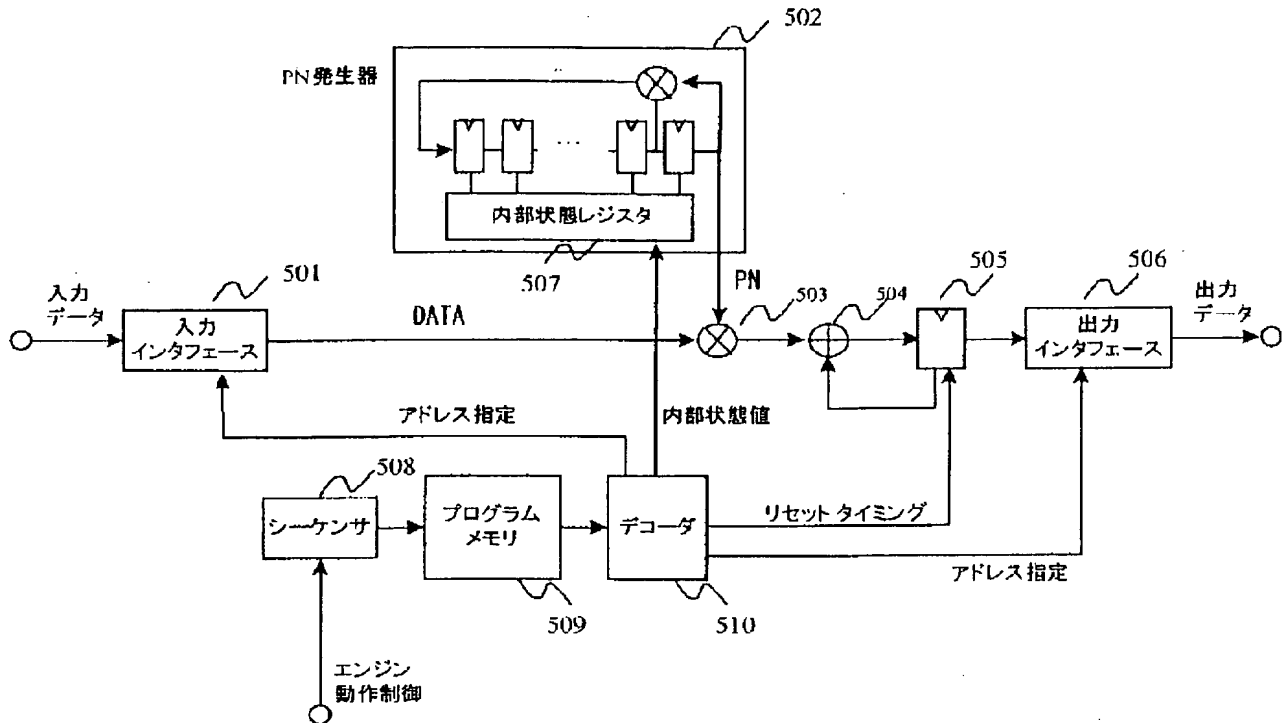
【図5】

図5



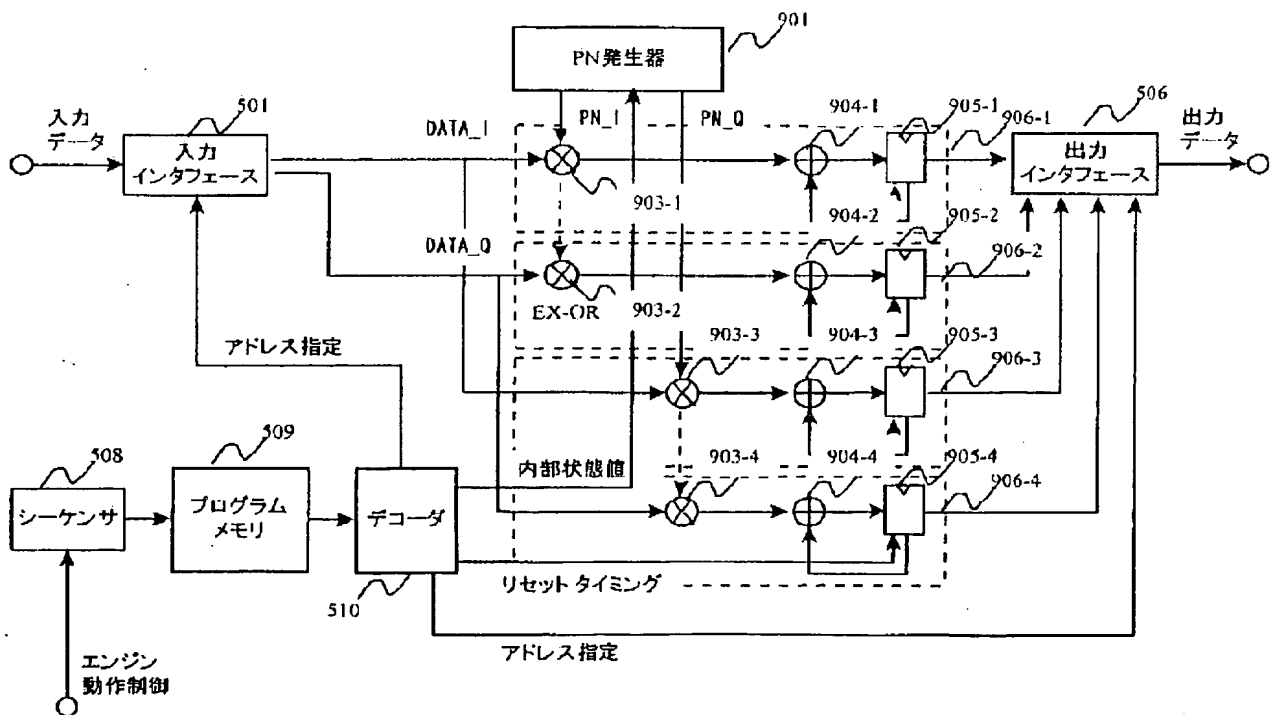
【図 6】

図6



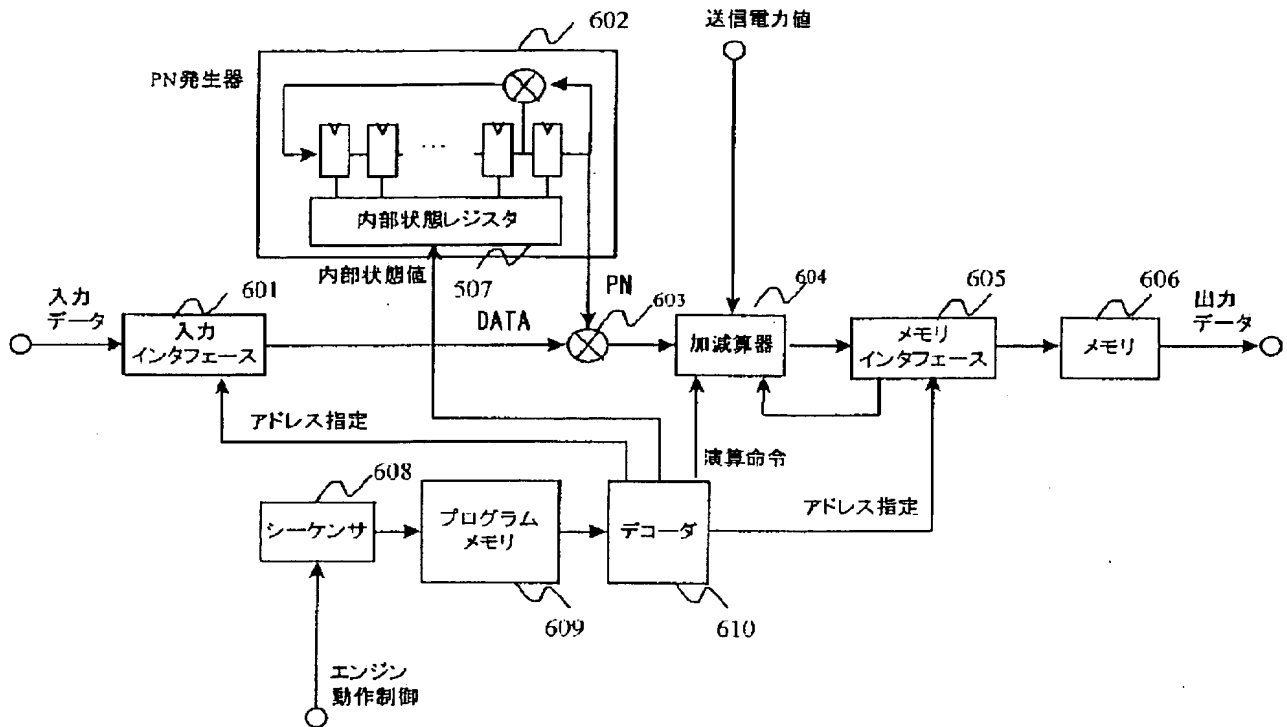
【図 7】

図7



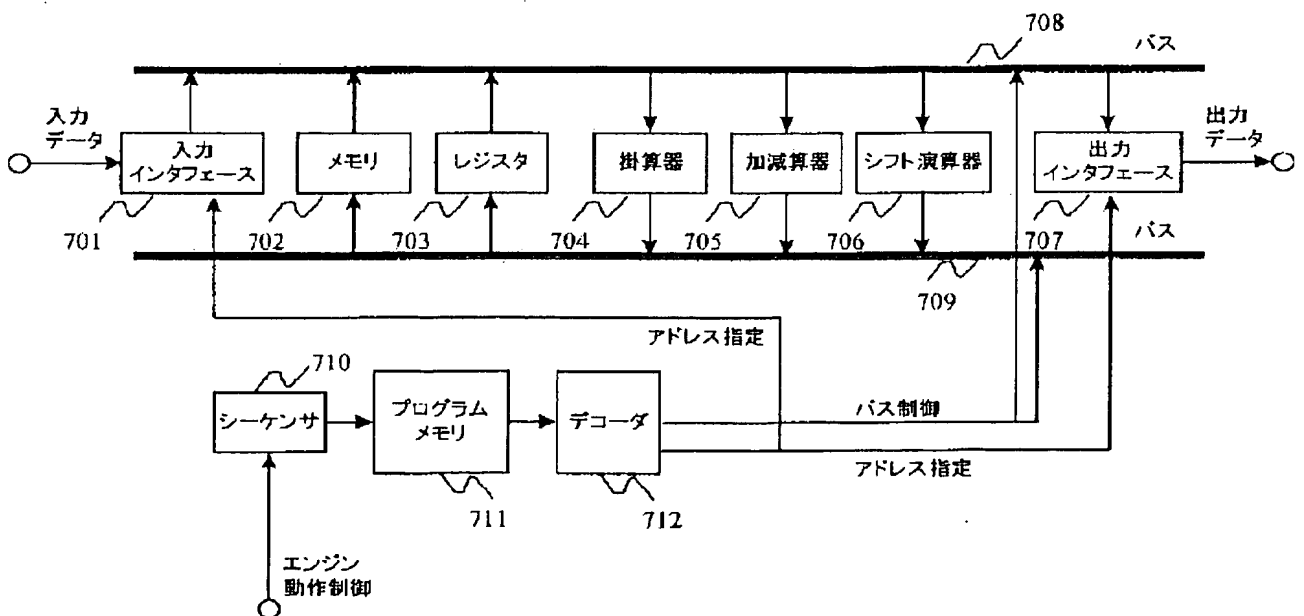
【図 8】

図8



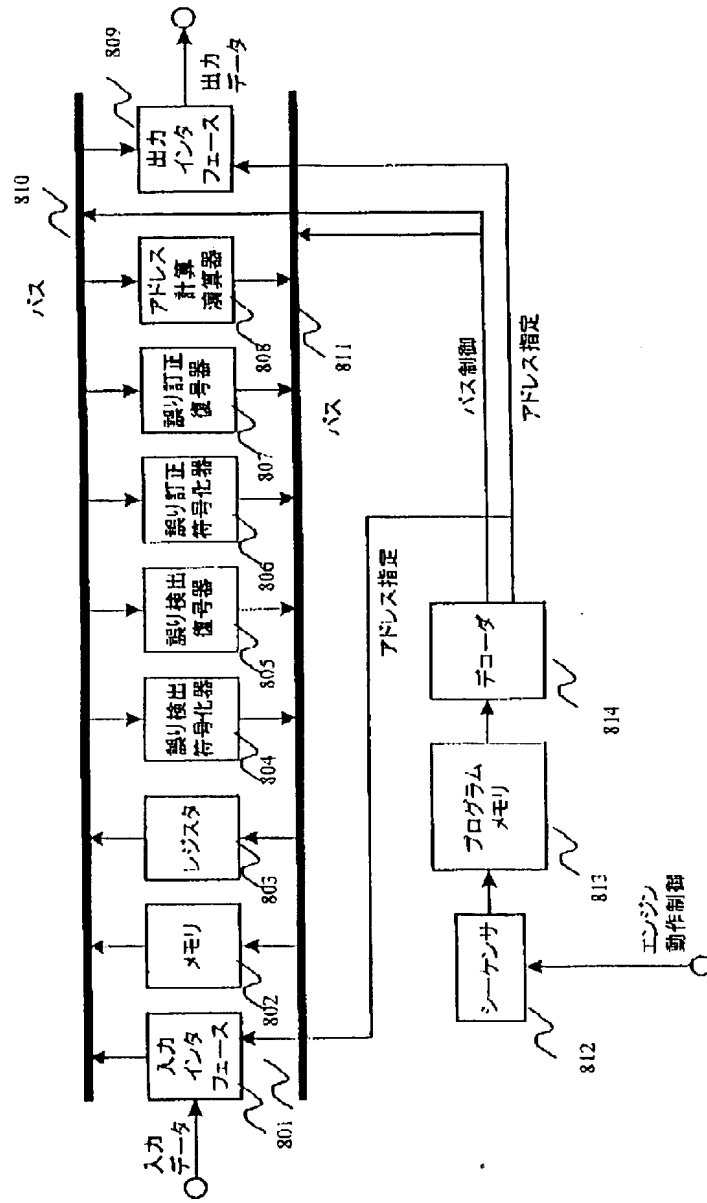
【図 9】

図9



【図10】

図10



【図 11】

